

特長

5 μ s変換時間の高速14ビットA/D

8ピンSOICパッケージを採用

5 V單電源動作

高速の使い易いシリアル・インターフェース

トラック/ホールド・アンプを内蔵

入力範囲が選択可能

AD7894-10: ± 10 V

AD7894-3: ± 2.5 V

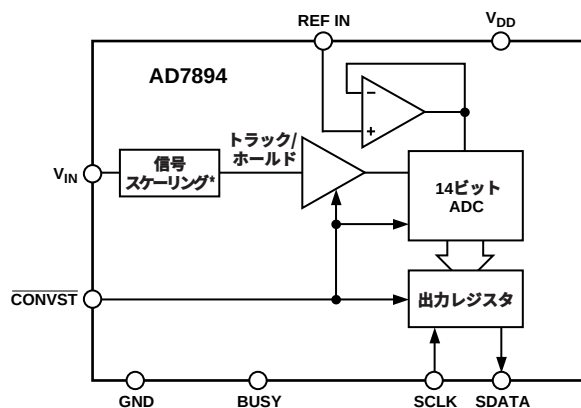
AD7894-2: 0 ~ +2.5 V

高入カインピーダンス

低消費電力: 20 mW (typ値)

12ビットAD7895のピン互換アップグレード

機能ブロック図



*AD7894-10, AD7894-3

概要

AD7894は、+5V単電源で動作する高速14ビットA/DCで小型8ピンのSOICパッケージを使用しています。このデバイスには、5 μ sの逐次近似型A/Dコンバータ、トラック/ホールド・アンプ、クロック、高速シリアル・インターフェースが内蔵されています。

AD7894の出力データは、高速なシリアル・インターフェース・ポートから出力されます。この2線式シリアル・インターフェースは、シリアル・クロック入力とシリアル・データ出力を持っており、外部シリアル・クロックを使用してこのデバイスからシリアル・データを讀出します。

直線性誤差、フル・スケール誤差、オフセット誤差などのような従来からのDC精度仕様に加え、AD7894では高調波歪みや信号対ノイズ比などのダイナミック性能パラメータも規定しています。

このデバイスは、 $\pm 10\text{ V}$ (AD789410)、 $\pm 2.5\text{ V}$ (AD78943)、 $0\sim +2.5\text{ V}$ (AD78942)のアナログ入力範囲を持ち、 $+5\text{ V}$ 単電源で動作し、電力は 20 mW (typ値)しか消費しません。

AD7894は高サンプリング・レート・モードを持ち、低消費電力アプリケーション用に、独自の自動パワーダウン・モードも持っています。このパワーダウン・モードでは、変換が完了すると、自動的にパワーダウンになり、次の変換サイクルの前に"ウェイクアップ"します。

このデバイスは、小型のSOICパッケージで供給しています。

製品のハイライト

1. 8ピン・パッケージを使用した高速14ビットA/D

AD7894では、5 μ sのA/DC、トラック/ホールド・アンプ、コントロール・ロジック、高速シリアル・インターフェースがすべて、8ピン・パッケージに組み込まれています。他のソリューションに比べると大幅な省スペースを提供します。

2. 低消費電力の単電源動作

AD7894は+5 V単電源で動作し、20 mWしか消費しません。自動
パワーダウン・モードでは、デバイスが変換を完了すると、パ
ワーダウンになり、次の変換サイクルの前に"ウェイクアップ"し
ます。この機能により、AD7894はバッテリー駆動のアプリケー
ションまたは携帯型アプリケーションに最適です。

3. 高速シリアル・インターフェース

高速シリアル・データ・ラインとシリアル・クロック・ラインにより、使い易い2線式シリアル・インターフェースが構成できます。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関し一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD7894—仕様

電気的特性 ($V_{DD} = +5\text{ V} \pm 5\%$ 、 $GND = 0\text{ V}$ 、 $REF\ IN = +2.5\text{ V}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$)

パラメータ	Aバージョン ¹	Bバージョン ¹	単位	テスト条件/コメント
ダイナミック性能²				
信号対 (ノイズ+歪み) 比 ³				
@ +25°C	78	78	dB min	$f_{IN} = 70\text{ kHz}$ 正弦波、 $f_{SAMPLE} = 160\text{ kHz}$ 図14を参照
$T_{MIN} \sim T_{MAX}$	77	77	dB min	
合計高調波歪み (THD) ³	−86	−86	dB max	$f_{IN} = 10\text{ kHz}$ 正弦波、 $f_{SAMPLE} = 160\text{ kHz}$ 、 −87 dB (typ 値)、図15を参照
ピーク高調波またはスプリアス・ノイズ ³	−92	−92	dB typ	$f_{IN} = 10\text{ kHz}$ 正弦波、 $f_{SAMPLE} = 160\text{ kHz}$ $f_a = 9\text{ kHz}$ 、 $f_b = 9.5\text{ kHz}$ 、 $f_{SAMPLE} = 160\text{ kHz}$
相互変調歪み (IMD) ³				
2次項	−92	−92	dB typ	
3次項	−92	−92	dB typ	
DC精度				
分解能	14	14	Bits	
ノームス・コードを保証する最小分解能	14	14	Bits	
相対精度 ³	±2	±1.5	LSB max	
微分非直線性 ³	−1 ~ +1.5	−1 ~ +1.5	LSB max	
AD7894-2				
正ゲイン誤差 ³	±12	±10	LSB max	
ユニポーラ・オフセット誤差	±8	±6	LSB max	
AD7894-10、AD7894-3の場合				
正ゲイン誤差 ³	±8	±6	LSB max	
負ゲイン誤差 ³	±8	±6	LSB max	
バイポーラ・ゼロ誤差	±10	±8	LSB max	
アナログ入力				
AD7894-10				
入力電圧範囲	±10	±10	V	アナログ入力セクション参照
入力電流	2	2	mA max	
AD7894-3				
入力電圧範囲	±2.5	±2.5	V	アナログ入力セクション参照
入力電流	1.5	1.5	mA max	
AD7894-2				
入力電圧範囲	0 ~ +2.5	0 ~ +2.5	V	
入力電流	500	500	nA max	
基準電圧入力				
REF IN 入力電圧範囲	2.375/2.625	2.375/2.625	V min/V max	2.5 V ± 5%
入力電流	1	1	μA max	
入力容量 ⁴	10	10	pF max	
ロジック入力				
入力High電圧、 V_{INH}	2.4	2.4	V min	$V_{DD} = 5\text{ V} \pm 5\%$ $V_{DD} = 5\text{ V} \pm 5\%$ $V_{IN} = 0\text{ V} \sim V_{DD}$
入力Low電圧、 V_{INL}	0.8	0.8	V max	
入力電流、 I_{IN}	±10	±10	μA max	
入力容量、 C_{IN}^4	10	10	pF max	
ロジック出力				
出力High電圧、 V_{OH}	4.0	4.0	V min	$I_{SOURCE} = 400\text{ μA}$ $I_{SINK} = 1.6\text{ mA}$
出力Low電圧、 V_{OL}	0.4	0.4	V max	
出力コーディング				
AD7894-10、AD7894-3				
AD7894-2	2の補数 自然2進数			
変換レート				
変換時間				
モード1動作	5	5	μs max	
モード2動作 ⁵	10	10	μs max	
トラック/ホールド・アキュイジション時間 ³	0.35	0.35	μs max	
サンプル&ホールド				
−3 dB 小信号帯域幅	7.5	7.5	MHz typ	
アパーチャ・ジッタ	50	50	ps typ	

パラメータ	Aバージョン ¹	Bバージョン ¹	単位	テスト条件/コメント
電源条件				
V _{DD}	+5	+5	V nom	仕様性能に対して±5%
I _{DD}	5.5	5.5	mA max	V _{DD} のデジタル入力、V _{DD} =5 V ± 5%
消費電力	27.5	27.5	mW max	20 mW (typ値)
パワーダウン・モード				
T _{MIN} ~ T _{MAX} でのI _{DD}	20	20	μ A max	GNDのデジタル入力、V _{DD} =5 V ± 5%
消費電力T _{MIN} ~ T _{MAX}	100	100	μ W max	Typ 15 μ W

注

1 A、Bバージョンの温度範囲: -40 ~ +85°C。

2 モード1動作に適用。動作モードの節を参照してください。

3 用語の節を参照してください。

4 適合性を保証するため+25°Cでサンプル・テストを実施。

5 この10 μsには、スタンバイからの"ウェイクアップ"時間が含まれます。この"ウェイクアップ"時間は、CONVSTの立下がりエッジから測定します。変換時間の方はCONVSTの立下がりエッジから測定します。CONVSTパルス幅が狭いため、変換時間は実質的に"ウェイクアップ"時間と変換時間の和になり、10 μsになります。これは図3からも理解できます。CONVSTパルス幅が5 μsより広い場合は、実効変換時間は10 μs以上に増えます。

仕様は予告なく変更されることがあります。

タイミング特性^{1,2} (V_{DD}=+5 V±5%、GND=0 V、REF IN =+2.5 V)

パラメータ	A、Bバージョン	単位	テスト条件/コメント
t ₁	40	ns min	CONVSTパルス幅
t ₂	31.25 ²	ns min	SCLK Highパルス幅
t ₃	31.25 ²	ns min	SCLK Lowパルス幅
t ₄	60 ³	ns max	SCLKの立下がりエッジからのデータ・アクセス時間 V _{DD} =5 V ± 5%
t ₅	10	ns min	SCLKの立下がりエッジからのデータ・ホールド時間
t ₆	20 ⁴	ns max	SCLKの立下がりエッジからのバス解放時間

注

1 適合性を保証するため+25°Cでサンプル・テストを実施。全入力信号はtr=tf=1 ns (+5 Vの10% ~ 90%) で測定。時間は+1.6 Vの電圧レベルで測定。

2 SCLK最大周波数は16 MHz。インターフェースする際には、データ・アクセス時間t₄とユーザーのプロセッサに対するセットアップ時間に注意する必要があります。これら2つの時間は、ユーザーのシステムが動作可能な最大SCLK周波数を決定します。詳細については、シリアル・インターフェースの節を参照してください。

3 図1に示す負荷回路で測定。出力が0.8 Vまたは2.0 Vと交叉するまでに必要な時間と定義します。

4 図1に示す負荷回路に接続したとき、データ出力が0.5 V変化するのに要する時間の測定値から導出しています。測定値は、測定後50 pFのキャパシタの充電または放電の効果を除去するため外挿されています。これは、この時間がバスの外部負荷容量と無関係であるため、タイミング特性で示している時間t₆がこのデバイスの真のバス解放時間であることを意味します。

仕様は予告なく変更されることがあります。

絶対最大定格*

(特に指定のない限り、T_A=+25°C)V_{DD} to GND -0.3 ~ +7 V

GNDを基準とするアナログ入力電圧

AD7894-10 ±17 V

AD7894-3 ±7 V

AD7894-2 -5 ~ +10 V

GNDを基準とする基準電圧入力電圧 -0.3 V ~ V_{DD} + 0.3 VGNDを基準とするデジタル入力電圧 -0.3 V ~ V_{DD} + 0.3 VGNDを基準とするデジタル出力電圧 -0.3 V ~ V_{DD} + 0.3 V

動作温度範囲

コマーシャル (A、Bバージョン) -40 ~ +85°C

保存温度範囲 -65 ~ +150°C

接合温度 +150°C

SOICパッケージ、消費電力 450 mW

θ_{JA} 温度インピーダンス 170°C/W

ピン温度、ハンダ処理

蒸着 (60 sec) +215°C

赤外線 (15 sec) +220°C

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとはデバイスの信頼性に影響を与えます。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD7894には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



オーダー・ガイド

モデル	温度範囲	INL	入力範囲	SNR	パッケージ	パッケージ・オプション
AD7894AR-10	−40〜+85°C	±2 LSB	±10 V	77 dB	8ピン小型ボディ SOIC	SO-8
AD7894BR-10	−40〜+85°C	±1.5 LSB	±10 V	77 dB	8ピン小型ボディ SOIC	SO-8
AD7894AR-3	−40〜+85°C	±2 LSB	±2.5 V	77 dB	8ピン小型ボディ SOIC	SO-8
AD7894BR-3	−40〜+85°C	±1.5 LSB	±2.5 V	77 dB	8ピン小型ボディ SOIC	SO-8
AD7894AR-2	−40〜+85°C	±2 LSB	0 V〜+2.5 V	77 dB	8ピン小型ボディ SOIC	SO-8

ピン機能説明

ピン番号	ピン名	説明
1	REF IN	基準電圧入力。外部基準電圧ソースをこのピンに接続して、AD7894の変換プロセスの基準電圧を与えます。REF IN入力はチップ内でバッファされています。AD7894の公称基準電圧は、+2.5 Vです。
2	V _{IN}	アナログ入力チャンネル。アナログ入力範囲は、±10 V (AD7894-10)、±2.5 V (AD7894-3)、0 V〜+2.5 V (AD7894-2) です。
3	GND	アナログ・グランド。グランド基準電圧に対するトラック/ホールド、コンパレータ、デジタル回路およびD/AC。
4	SCLK	シリアル・クロック入力。外部シリアル・クロックをこの入力に接続して、AD7894からシリアル・データを取り出します。このシリアル・クロックの立下がりエッジで新しいシリアル・データ・ビットが出力されます。この立下がりエッジから10 ns間データの有効が保証されます。したがって、高速シリアル・クロックを使用する場合、立下がりエッジでデータをアクセスすることができます。シリアル・データ転送の終わりで、シリアル・クロック入力をLowにする必要があります。
5	SDATA	シリアル・データ出力。AD7894のシリアル・データはこのピンに出力されます。シリアル・データはSCLKの立下がりエッジで出力されますが、SCLKの立下がりエッジでもデータを読出すことができます。これは、データ・ビットNがSCLKの立下がりエッジの後の規定時間（データ・ホールド・タイム）の間有効であるために、可能になります（図5参照）。シリアル・データの16ビットは、先頭に2ビットのゼロと、それに続く14ビットの変換データとして出力されます。16番目のSCLKの立下がりエッジでは、SDATAラインはデータ・ホールド・タイムの間保持された後、ディセーブルされます（スリー・ステート状態）。出力データ・コーディングは、2の補数（AD7894-10およびAD7894-3）と自然2進数（AD7894-2）です。
6	BUSY	BUSYピンはデバイスの変換中を表示します。BUSYピンはCONVSTの立下がりエッジでHighになり、変換が完了すると、Lowに戻ります。
7	CONVST	変換開始。エッジ検出ロジック入力。この入力の立下がりエッジで、トラック/ホールド回路がホールド・モードになり、変換が開始されます。変換の終わりでCONVSTがLowになると、デバイスはパワーダウン・モードになります。この場合、CONVSTの立上がりエッジで、デバイスがウェイクアップします。
8	V _{DD}	正電源電圧、+5 V ± 5%。

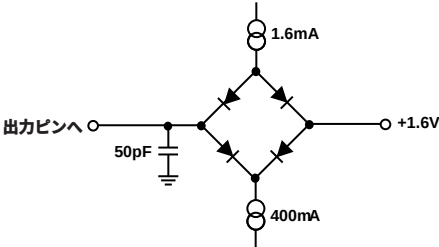


図1. アクセス時間とバス解放時間の負荷回路

ピン配置
SOIC (SO-8)



用語

信号対（ノイズ+歪み）比

A/Dコンバータの出力で測定される信号と（ノイズ+歪み）の比をいいます。信号は基本波のrms振幅で、ノイズはサンプリング周波数の1/2 ($f_s/2$) までの、DCと基本波を除く全信号のrms値の総和です。この比は、量子化プロセスの量子化レベル数に依存します。レベル数が多いほど、量子化ノイズは小さくなります。正弦波入力に対する理想Nビット・コンバータの理論的な信号対（ノイズ+歪み）比は、次式で与えられます。

$$\text{信号対（ノイズ+歪み）比} = (6.02N + 1.76) \text{ dB}$$

14ビット・コンバータに対しては、この値は86.04 dBになります。

合計高調波歪み

合計高調波歪み（THD）は、高調波のrms値総和と基本波の比です。AD7894の場合、次式で与えられます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1}$$

ここで、 V_1 は基本波のrms振幅で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、A/D出力スペクトル（DCを除き、 $f_s/2$ まで）内で2番目に大きい成分のrms値と基本波のrms値の比として定義されます。通常、この仕様の値はスペクトル内の最大高調波により決定されますが、高調波がノイズフロアに埋もれているこのデバイスの場合は、ノイズ・ピークにより決定されます。

相互変調歪み

2つの周波数 f_a と f_b を持つ正弦波で構成される入力に対して、非直線性を持つすべてのアクティブ・デバイスは、和と差の周波数 $m f_a \pm n f_b$ ($m, n=0, 1, 2, 3, \dots$) の歪み項を発生します。相互変調項は、 m と n が非ゼロの項です。例えば、2次項には、 $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2 f_a + f_b)$ 、 $(2 f_a - f_b)$ 、 $(f_a + 2 f_b)$ 、 $(f_a - 2 f_b)$ が含まれます。AD7894は2つの入力周波数を使ってテストされています。この場合、2次項と3次項は異なる影響を持ちます。一般に、2次項は元の正弦波から離れた周波数になりますが、3次項は、一般に、入力周波数に近い周波数になります。そのため、2次項と3次項は別々に規定されます。相互変調歪みの計算は、個々の歪み成分のrms総和と基本波rms振幅の比（単位dBs）と定めるTHD仕様に従って行います。

相対精度

相対精度または端点非直線性とは、A/DC伝達関数の両端を結ぶ直線からの最大偏差をいいます。

微分非直線性

A/DCの2つの隣接コード間における1LSB変化の測定値と理想値の差をいいます。

正ゲイン誤差 (AD7894-10)

バイポーラ・ゼロ誤差を調整した後の、最終のコード変化 (01...110から01...111への変化) と理想変化 ($4 \times V_{REF} - 1 \text{ LSB}$) の差をいいます。

正ゲイン誤差 (AD7894-3)

バイポーラ・ゼロ誤差を調整した後の、最終のコード変化 (01...110から01...111への変化) と理想変化 ($V_{REF} - 1 \text{ LSB}$) の差をいいます。

正ゲイン誤差 (AD7894-2)

バイポーラ・ゼロ誤差を調整した後の、最終のコード変化 (11...110から11...111への変化) と理想変化 ($V_{REF} - 1 \text{ LSB}$) の差をいいます。

バイポーラ・ゼロ誤差 (AD7894-10、AD7894-3)

中央スケール変化 (全0から全1への変化) と理想0 V (GND) の差をいいます。

ユニポーラ・オフセット誤差 (AD7894-2)

最初のコード変化 (00...000から00...001への変化) と理想1 LSBの差をいいます

負ゲイン誤差 (AD7894-10)

バイポーラ・ゼロ誤差を調整した後の、最初のコード変化 (10...000から10...001への変化) と理想 ($-4 \times V_{REF} + 1 \text{ LSB}$) の差をいいます。

負ゲイン誤差 (AD7894-3)

バイポーラ・ゼロ誤差を調整した後の、最初のコード変化 (10...000～10...001への変化) と理想 ($-V_{REF} + 1 \text{ LSB}$) の差をいいます。

トラック/ホールド・アキュイジション時間

トラック/ホールド・アキュイジション時間は、変換終了（トラック/ホールドがトラック・モードに戻るポイント）からトラック/ホールド・アンプ出力が最終値 $\pm 1/2 \text{ LSB}$ に到達するまでに要する時間をいいます。これは、AD7894の V_{IN} に入力された入力電圧上にステップ入力変化がある場合にも適用されます。これは、デバイスが仕様通りに動作するためには、変換終了または V_{IN} でのステップ入力変化から次の変換が開始されるまで、トラック/ホールド・アキュイジション時間だけ待つ必要があることを意味します。

AD7894

コンバータの詳細

AD7894は高速14ビット単電源動作のA/Dコンバータであり、信号スケール機能、トラック/ホールド機能、A/Dコンバータ機能、シリアル・インターフェース・ロジック機能をシングル・チップで提供します。AD7894のA/Dコンバータ・セクションは、R2Rラダー構造を使用した従来通りの逐次近似型コンバータをベースに構成されています。AD7894-10とAD7894-3の信号スケールは、+5 V単電源動作でそれぞれ±10 Vと±2.5 Vの入力信号を処理することができます。AD7894-2は、0 ~ +2.5 Vのアナログ入力範囲を処理することができます。このデバイスは外部+2.5 V基準電圧を必要とします。このデバイスに対する基準電圧入力はチップ内でバッファされています。AD7894は高サンプリング・モードと変換の終わりにデバイスが自動的にスリープする"自動スリープ"モードの2つの動作モードを持っています。これらのモードについては、タイミングおよびコントロールの節で詳しく説明します。

AD7894の主な利点は、前述の全機能を8ピンのSOICパッケージで提供することです。他のソリューションに比べると、かなりの省スペース効果を提供します。AD7894は20 mW (typ値) しか消費しないため、バッテリー駆動のアプリケーションに最適です。

AD7894の変換は、 $\overline{\text{CONVST}}$ 入力にパルスを与えることにより起動されます。 $\overline{\text{CONVST}}$ の立下がりエッジで、オンチップ・トラック/ホールドはトラック・モードからホールド・モードに遷移し、変換シーケンスが開始されます。デバイスに対する変換クロックは、レーザー・トリムされたクロック発振回路を使って内部で発生されます。AD7894の変換時間は、高サンプリング・モードでは5 μs です (自動スリープ・モードの場合は10 μs)。また、トラック/ホールド・アキュイジション時間は0.35 μs です。デバイスの最適性能を引き出すためには、読出し動作を変換中または次の変換の250 ns前に行う必要があります。これにより、最大160 kHzのスループット・レートで動作することが可能になり、データ・シート仕様を達成することができます。

回路説明

アナログ入力セクション

AD7894は3種類のデバイス・タイプで提供しています。AD7894-10は±10 Vの入力電圧範囲を、AD7894-3は±2.5 Vの入力電圧範囲を、AD7894-2は0 ~ +2.5 Vの入力電圧範囲を、それぞれ処理します。

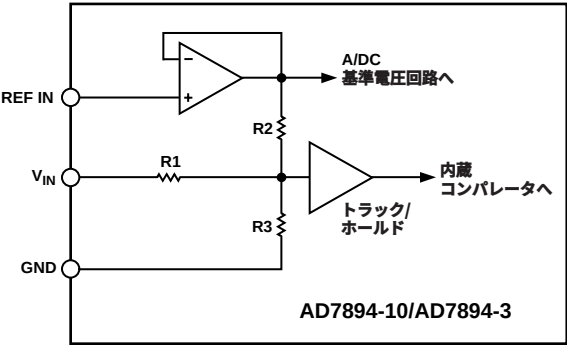


図2. AD7894-10/AD7894-3のアナログ入力構造

図2に、AD7894-10とAD7894-3のアナログ入力セクションを示します。AD7894-10のアナログ入力範囲は±10 Vで、AD7894-3のアナログ入力範囲は±2.5 Vです。この入力は、抵抗ステージの後ろにトラック/ホールド・アンプの高入力インピーダンス・ステージがあるため、ダイナミック充電電流なしで開始されます。AD7894-10の場合は、 $R1=8\text{ k}\Omega$ 、 $R2=2\text{ k}\Omega$ 、 $R3=2\text{ k}\Omega$ です。AD7894-3の場合は、 $R1=R2=2\text{ k}\Omega$ 、 $R3$ はオープンです。アナログ入力に流入する電流は直接アナログ入力電圧に関係しています。最大入力電流は、アナログ入力が負のフル・スケールにある場合に発生します。

AD7894-10とAD7894-3の場合、デザイン上のコード遷移は、LSB値の連続した整数倍のところ (すなわち、1 LSB、2 LSBs、3 LSB...) で発生します。出力コーディングは、1 LSB = $\text{FS}/16384$ とする自然2進数です。AD7894-10とAD7894-3の入力/出力間の理論伝達関数を表Iに示します。

表I. AD7894-10/AD7894-3の理論入力/出力コード表

アナログ入力 ¹	デジタル出力コード遷移
+FSR/2 – 1 LSB ²	011...110 → 011...111
+FSR/2 – 2 LSBs	011...101 → 011...110
+FSR/2 – 3 LSBs	011...100 → 011...101
GND + 1 LSB	000...000 → 000...001
GND	111...111 → 000...000
GND – 1 LSB	111...110 → 111...111
–FSR/2 + 3 LSBs	100...010 → 100...011
–FSR/2 + 2 LSBs	100...001 → 100...010
–FSR/2 + 1 LSB	100...000 → 100...001

注
1 REF IN = +2.5 Vに対して、FSRはフル・スケール範囲 = 20 V (AD7894-10) および5 V (AD7894-3)。
2 REF IN = +2.5 Vに対して、1 LSB = $\text{FSR}/16384 = 1.22\text{ mV}$ (AD7894-10) および0.3 mV (AD7894-3)。

AD7894-2のアナログ入力セクションには、バイアス抵抗がなく、 V_{IN} ピンがトラック/ホールド・アンプの入力を直接駆動しています。アナログ入力範囲0 V ~ +2.5 Vは、500 nA以下の入力電流で高インピーダンス・ステージに入力されます。この入力は、ダイナミック充電電流なしで開始されます。ここでも、デザイン上のコード変化は、連続するLSB値の整数倍で発生します。出力コーディングは、1 LSB = $\text{FS}/16384 = 2.5\text{ V}/16384 = 0.15\text{ mV}$ とする、自然2進数です。表IIに、AD7894-2の入力/出力間の理論伝達関数を示します。

表II. AD7894-2理想入力/出力コード表

アナログ入力 ¹	デジタル出力コード変化
+FSR – 1 LSB ²	111...110 → 111...111
+FSR – 2 LSB	111...101 → 111...110
+FSR – 3 LSB	111...100 → 111...101
GND + 3 LSB	000...010 → 000...011
GND + 2 LSB	000...001 → 000...010
GND + 1 LSB	000...000 → 000...001

注
1 VREF = +2.5 Vに対して、VFSRはフル・スケール範囲で2.5 V (AD7894-2)。
2 VREF = +2.5 Vに対して、1 LSB = $\text{FSR}/16384 = 0.15\text{ mV}$ (AD7894-2)。

トラック/ホールド・セクション

AD7894のアナログ入力内にあるトラック/ホールド・アンプは、A/DCがフル・スケール振幅の入力正弦波を正確に14ビット精度に変換できるようにします。A/DCが160 kHzの最大スループット・レートで動作した場合でも、トラック/ホールドの入力帯域幅は、A/DCのナイキスト・レートより大きくなっています(すなわち、トラック/ホールドは100 kHzを超える入力周波数も処理することができます)。

トラック/ホールド・アンプは入力信号を14ビット精度で0.35 μ s以下で入力します。トラック/ホールドの動作はもともとユーザーには見えません。高サンプリング動作モードで、変換の開始時(すなわち、 $\overline{\text{CONVST}}$ の立下がりエッジ)に、トラック/ホールド・アンプはトラッキング・モードからホールド・モードに遷移します。トラック/ホールドのアパーチャ時間(すなわち、外部 $\overline{\text{CONVST}}$ 信号からトラック/ホールドが実際にホールドに遷移するまでの遅延時間)は15 ns (typ値)です。変換の終わりに(BUSYの立下がりエッジで)、デバイスはトラッキング・モードに戻ります。トラック/ホールド・アンプのアクイジション時間は、このポイントから開始されます。自動シャットダウン・モードの場合、 $\overline{\text{CONVST}}$ の立上がりエッジがデバイスをウェイクアップさせ、トラック/ホールド・アンプが $\overline{\text{CONVST}}$ の立上がりエッジから5 μ s後に、トラッキング・モードからホールド・モードへ遷移します(ただし、 $\overline{\text{CONVST}}$ のHigh時間が5 μ s以下の場合)。この場合も、BUSY信号がLowになる変換の終わりに、デバイスはトラッキング・モードに戻ります。

基準電圧入力

AD7894に対する基準電圧入力はチップ内でバッファされ、基準電圧最大入力電流は1 μ Aです。デバイスは、+2.5 Vの基準入力電圧で仕様が定められています。基準電圧ソースの誤差はAD7894の伝達関数内のゲイン誤差となり、デバイスの規定フル・スケール誤差に加算されます。AD7894に対する適切な基準電圧ソースとしては、AD780やAD680などの高精度+2.5 V基準電圧があります。

タイミングおよびコントロール・セクション

図3に、AD7894から最適性能を引き出すために必要なタイミングおよびコントロール・シーケンスを示します。図に示すシーケンスでは、 $\overline{\text{CONVST}}$ の立下がりエッジで変換が開始され、変換結果の新しいデータは5 μ s後にAD7894の出力レジスタに得られます。読出し動作が開始されると、 $\overline{\text{CONVST}}$ の次の立下がりエッジ前にさらに

250 nsが必要になります。この間に、トラック/ホールド・アンプの整定を最適化して次の変換の開始に備えます。

最大シリアル・クロック周波数16 MHzでのデバイスの達成可能な最大スループット・レートは、5 μ s (変換時間) + 1.0 μ s (読出し時間) + 250 ns (整定時間) になります。これは、6.25 μ sの最小スループット時間になります(160 kHzのスループット・レートに対応します)。16 MHzより低いシリアル・クロックも使用することができますが、スループット時間が増えることを意味します。

読出し動作は、AD7894の出力シフトレジスタに対する16個のシリアル・クロック・パルスで構成されます。16個のシリアル・クロック・パルスの後、シフトレジスタがリセットされ、SDATAラインはスリー・ステート状態になります。16個目のクロックの後にさらにシリアル・クロック・パルスを与えると、シフトレジスタはリセット状態を通り過ぎてしまいますが、シフトレジスタは $\overline{\text{CONVST}}$ 信号の立下がりエッジで再度リセットされて、デバイスが各変換サイクル毎に確実に既知状態に戻るにします。そのため、出力レジスタの読出し動作は、 $\overline{\text{CONVST}}$ の立下がりエッジを跨ぐことはできません。跨いだ場合は、読出し動作の途中で出力シフトレジスタがリセットされてしまい、マイクロプロセッサにリードバックされたデータは無効になってしまいます。

動作モード

モード1動作 (高サンプリング性能)

図3に示すタイミング図は、動作モード1での最適性能を表しています。このモードでは、 $\overline{\text{CONVST}}$ の立下がりエッジで変換が開始され、トラック/ホールド・アンプがホールド・モードになります。また、 $\overline{\text{CONVST}}$ のこの立下がりエッジにより、BUSY信号がHighに駆動され、変換が開始されたことを表示します。変換が完了すると、BUSY信号はLowになります。変換は $\overline{\text{CONVST}}$ の立下がりエッジから5 μ s以内に完了して、この変換結果の新しいデータがAD7894の出力レジスタに得られます。読出し動作によりこのデータをアクセスします。この読出し動作は、16個のクロック・サイクルで構成され、この読出し動作の長さはシリアル・クロック周波数に依存します。最高速のスループット・レート(シリアル・クロック=16 MHz)の場合、読出し動作には1.0 μ sを要します。読出し動作は、次の $\overline{\text{CONVST}}$ の立下がりエッジより少なくとも250 ns前に完了している必要があります。これは合計時間6.25 μ sのフル・スループット時間になります(160 kHzに対応)。高サンプリング・アプリケーションには、この動作モードを使う必要があります。

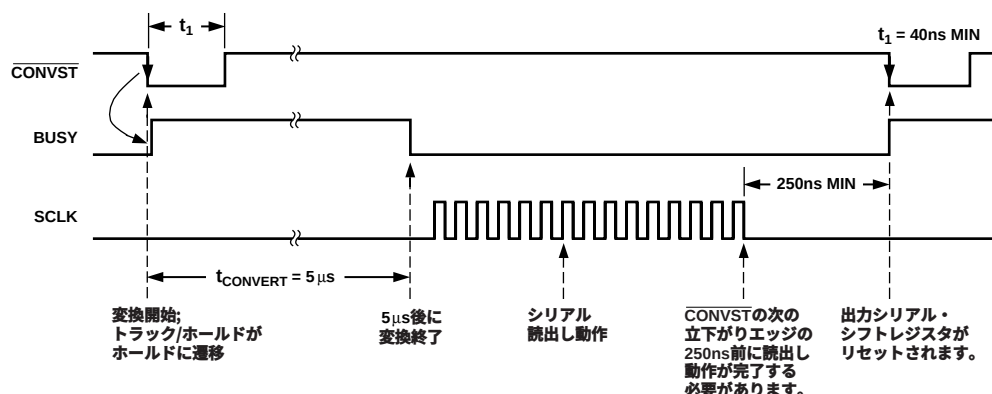


図3. 高サンプリング性能に対するモード1タイミング動作

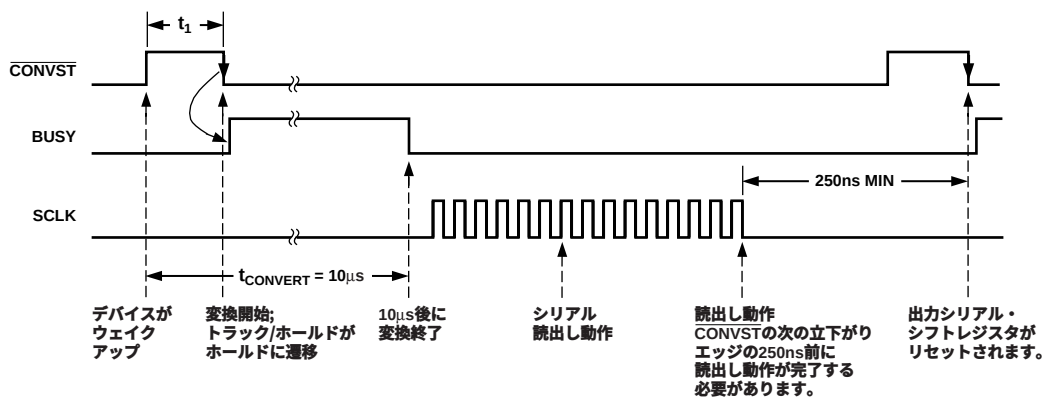


図4. 自動スリープ機能が起動されるモード2のタイミング

5Vで、 $t_2 = t_3 = 31.25\text{ns MIN}$, $t_4 = 60\text{ns MAX}$, $t_5 = 10\text{ns MIN}$, $t_6 = 20\text{ns MAX}$ @、Aバージョン、Bバージョン

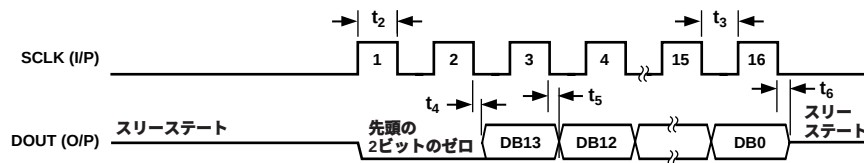


図5. データ読出し動作

モード2動作 (変換後に自動スリープ)

図4に示すタイミングは、動作モード2の最適性能を表しています。このモードでは、BUSYがLowになると、変換後にデバイスは自動的にスリープ・モードになり、次の変換が開始される前に"ウェイクアップ"します。これは、変換の終わりにCONVSTをLowに維持することにより実行されます(モード1動作では、変換の終わりにCONVSTをHighに維持しました)。CONVSTの立上がりエッジで、AD7894は"ウェイクアップ"します。このウェイクアップ時間は5 μs (typ値)で、内部でモノステーブル回路により制御されています。AD7894がウェイクアップする際には、デバイス内部で幾つかのデジタル動作があります。CONVSTの立下がりエッジ(トラック/ホールド・アンプをホールド・モードに遷移させます)がこのデジタル動作の間に発生すると、ノイズがトラック/ホールド・アンプに注入されて、変換誤差が大きくなります。最適結果を得るためには、CONVSTパルス幅が40 ns~2 μs または6 μs 以上である必要があります。狭い方のパルスでは、AD7894をウェイクアップさせて、レディになったら変換を実行させることができます。一方、6 μs より広いパルスでは、サンプリングを開始するタイミングを制御することができます。図4に示す10 μs のウェイクアップ時間は、2 μs より狭いCONVSTパルスの場合です。6 μs より広いCONVSTパルスを使用すると、CONVSTの立下がりエッジよりさらに5 μs の間、変換は終了しません。デバイスがスリープ・モードにある場合でも、データは読出すことができます。読出し動作は、モード1動作と同じ16個のクロック・サイクルで構成されます。最高速スループット・レート(シリアル・クロック16 MHz)の場合、読出し動作には1.0 μs を要します。読出し動作は、次のCONVSTの立下がりエッジより少なくとも250 ns前に完了して、トラック/ホールド・アンプが安定するため十分な時間を確保する必要があります。このモードは、モード1動作に比べると消費電力が大幅に削減されるため、低レートでの変換の場合に非常に役立ちます。

シリアル・インターフェース

AD7894のシリアル・インターフェースは、シリアル・クロック入力(SCLK)、シリアル・データ出力(SDATA)、変換ステータス出力

(BUSY)の3本の線で構成されています。このインターフェースを使うと、大部分のマイクロコントローラ、DSPプロセッサ、シフトレジスタと容易にインターフェースすることができます。

図5に、AD7894に対する読出し動作のタイミング図を示します。シリアル・クロック入力(SCLK)は、シリアル・インターフェースのクロック・ソースを提供します。シリアル・データは、このクロックの立下がりエッジでSDATAラインから出力され、SCLKの立上がりエッジと立下がりエッジの両方で有効になります。データをSCLKの立上がりエッジと立下がりエッジの両方で有効にする利点は、柔軟なインターフェースを可能にして、広範囲なマイクロプロセッサとマイクロコントローラのインターフェースをサポートできるようにすることです。このことは、図に示す2つのタイミング値 t_4 と t_6 についても説明しています。時間 t_4 は、SCLKの立下がりエッジから次のデータ・ビットが有効になるまでの時間を規定します。一方、時間 t_6 は、SCLKの立下がりエッジからカレント・データ・ビットが有効になるまでの時間を規定します。先頭のゼロは、SCLKの最初の立上がりエッジで出力されます。データ・アクセス時間は他のビットに対しては60 nsと規定されていますが、最初のゼロはSCLKの最初の立下がりエッジで有効になることに注意してください。この理由は、このデバイスの内部アーキテクチャに起因して、先頭ビットが他のビットより高速に出力されるためです。すべての変換結果をアクセスするためには、16個のクロック・パルスが必要です。AD7894では、2ビットのゼロに続いて14ビットの変換結果がMSB(DB13)を先頭にして出力されます。クロックの最後から1つ前の立下がりエッジで出力される最後のデータ・ビットがLSB(DB0)です。SCLKの16番目の立下がりエッジで、LSB(DB0)は規定の時間有効になり、SCLKの立下がりエッジでビットを読み取れるようにし、その後でSDATAラインがディセーブルされます(スリープ・ステート)。この最終ビットが出力された後、SCLK入力はLowに戻り、次のシリアル・データ読出し動作までLowを維持する必要があります。16番目のクロックの後に追加クロック・パルスを入力すると、AD7894は、再度、出力レジスタからのデータ出力を開始し、クロックが停止してもデータ・バスはスリープ・ステートにならなく

なります。シリアル・クロックがCONVSTの次の立下がりエッジの前に停止すると、出力シフトレジスタがCONVSTの立下がりエッジでリセットされて、AD7894は正常動作を続けます。しかし、出力シフトレジスタを正常にリセットするためには、CONVSTがLowになると、SCLKラインがLowになる必要があります。シリアル読出し動作では、シリアル・クロック入力は連続である必要はありません。16ビットのデータ（先頭の2ビットのゼロと14ビットの変換結果）は、多数のバイトとしてAD7894から読出すことができます。

AD7894はシリアル・クロック・エッジをカウントして、出力レジスタからSDATAに出力するビットを知ります。デバイスが同期を失わないようにするため、SCLKラインがLowの場合、シリアル・クロック・カウンタはCONVST入力の立下がりエッジでリセットされます。ユーザーは、変換が完了するまでSCLKラインをLowに維持しておく必要があります。変換が完了すると、BUSYがLowになり、出力レジスタには新しい変換結果がロードされ、SCLKの16個のクロック・サイクルにより読出すことが可能になります。

マイクロプロセッサ/マイクロコントローラ・インターフェース

AD7894は、DSPプロセッサとマイクロコントローラのシリアル・ポートを接続するときに使用できる2線式シリアル・インターフェースを提供します。図6～図9に、様々なマイクロコントローラとDSPプロセッサにインターフェースされたAD7894を示します。AD7894は外部シリアル・クロックを入力し、ここに示す全インターフェースで、プロセッサ/コントローラがマスターとして設定されており、シリアル・クロックを出力しています。変換の開始後5 μ sで読出しを行う場合（モード1動作の場合）は、AD7894はシステム内でスレーブになっています。BUSY信号2線式インターフェースでは不要です。

AD7894と8X51/L51とのインターフェース

図6に、AD7894と8X51/L51マイクロコントローラの間のインターフェースを示します。8X51/L51は、モード0シリアル・インターフェース・モードに設定されています。この図は最もシンプルなインターフェースを示しており、AD7894は8X51/L51のシリアル・ポートに接続されている唯一のデバイスです。したがって、シリアル読出し動作のデコーディングは不要です。

8X51/L51のシリアル・ポートに複数のデバイスが接続されているシステム内でAD7894を選択するときは、8X51/L51の平行ル・ポートの1つを出力に設定したポート・ビットを使用してAD7894に対するシリアル・クロックをON/OFFゲーティングすることができます。このポート・ビット上の簡単なAND機能と8X51/L51からのシリアル・クロックによりこの機能を実現することができます。AD7894を選択するときは、ポート・ビットをHighにし、選択しないときはLowにします。

変換の完了は、BUSY信号を使って監視することができます。図6のインターフェース図に、この構成を示します。AD7894からのBUSYラインを8X51/L51のPort P1.2に接続し、BUSYラインを8X51/L51からポーリングします。割込み駆動システムが望ましい場合は、BUSYラインは8X51/L51のINT1ラインに接続することもできます。これら2つのオプションを図に示します。

また、読出し動作で、AD7894はMSB先頭で出力しますが、8X51/L51はLSB先頭を想定していることに注意してください。したがって、シリアル・バッファに読み込まれたデータを再配置して、AD7894の正しいデータ・フォーマットがアキュムレータに入るようにする必要があります。

8X51/L51のシリアル・クロック・レートは、AD7894が動作可能なシリアル・クロック周波数より遥かに小さい値に制限されています。そのため、デバイスからのデータ読出し時間がデバイスの変換

時間より長くなってしまいます。これは、8X51/L51を使用した場合、AD7894は最大スループット・レートで動作できないことを意味します。

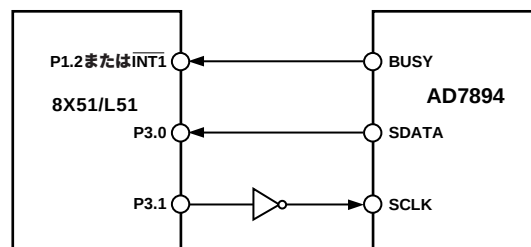


図6. AD7894と8X51/L51の間のインターフェース

AD7894と68HC11/L11とのインターフェース

AD7894と68HC11/L11マイクロコントローラの間のインターフェース回路を図7に示します。図示のインターフェースでは、68L11 SPIポートを使用し、68L11はシングルチップ・モードに設定されています。CPOLビットをロジック0に、CPHAビットをロジック1にそれぞれ設定して、68L11はマスター・モードに設定されています。前のインターフェースと同様に、この図は最もシンプルなインターフェースを示しており、AD7894は68L11のシリアル・ポートに接続された唯一のデバイスであるため、シリアル読出し動作のデコーディングは不要です。

ここでも、68HC11のシリアル・ポートに複数のデバイスが接続されているシステム内でAD7894を選択するときは、68HC11の平行ル・ポートの1つを出力に設定したポート・ビットを使用してAD7894に対するシリアル・クロックをON/OFFゲーティングすることができます。このポート・ビット上の簡単なAND機能と68HC11からのシリアル・クロックによりこの機能を実現することができます。AD7894を選択するときは、ポート・ビットをHighにし、選択しないときはLowにします。このポート・ビット上の簡単なAND機能と68HC11からのシリアル・クロックによりこの機能を実現することができます。AD7894を選択するときは、ポート・ビットをHighにし、選択しないときはLowにします。

変換の完了は、BUSY信号を使って監視することができます。図7のインターフェース図に、この構成を示します。AD7894からのBUSYラインを68HC11/L11のPort PC2に接続し、BUSYラインを68HC11/L11からポーリングします。割込み駆動システムが望ましい場合は、BUSYラインは68HC11/L11のIRQラインに接続することもできます。これら2つのオプションを図に示します。

68HC11/L11のシリアル・クロック・レートは、AD7894が動作可能なシリアル・クロック周波数より遥かに小さい値に制限されています。そのため、デバイスからのデータ読出し時間がデバイスの変換時間より長くなってしまいます。これは、68HC11/L11を使用した場合、AD7894は最大スループット・レートで動作できないことを意味します。

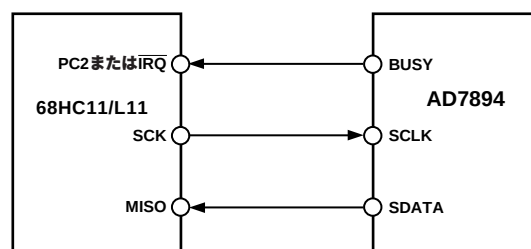


図7. AD7894と68HC11/L11の間のインターフェース

AD7894

AD7894とADSP-2101/5とのインターフェース

AD7894とADSP-2101/5DSPプロセッサとの間のインターフェース回路を図8に示します。図示のインターフェースでは、ADSP-2101/5のSPORT1シリアル・ポートからのRFS1出力を使って、ADSP-2101/5のシリアル・クロック (SCLK1) をゲーティングし、その後でAD7894のSCLK入力に入力しています。RFS1出力はアクティブHigh動作に設定されています。AD7894のBUSYラインは、ADSP-2101/5のIRQ2ラインに接続されており、変換の完了時に割込みが発生されて、ADSP-2101/5に読出し動作の開始タイミングを知らせます。16個のみのシリアル・クロック・パルスを出力し、かつAD7894のシリアル・クロック・ラインをデータ転送とデータ転送の間はLowに維持することにより、インターフェースは不連続クロックをAD7894のシリアル・クロック入力に対して保証します。AD7894のSDATAラインは、ADSP-2101/5のシリアル・ポートのDR1ラインに接続されています。

SCLK1とADSP-2101/5のRFS1出力の間のタイミング関係は、SCLK1の立上がりエッジとアクティブHigh RFS1の立上がりエッジの間の遅延が最大30 nsになるようになっています。ADSP-2101/5から正常にデータを読出すためには、データはSCLK1の立下がりエッジの10 ns前に設定されていなければならないという条件もあります。AD7894のデータ・アクセス時間はSCLK1入力の立上がりエッジから60ns (AバージョンとBバージョン) です。外部ANDゲートの伝搬遅延を10 nsとすると、ADSP-2105のSCLK1出力のHigh時間は、 $(30 + 60 + 10 + 10) \text{ ns} = 110 \text{ ns}$ 以上である必要があります。これは、図8のインターフェースの動作可能シリアル・クロック周波数が4.5 MHzに制限されることを意味します。

もう1つの方式は、ADSP-2101/5を外部不連続シリアル・クロックを受け取るように設定する方式です。この場合、ADSP-2101/5とAD7894の両方のシリアル・クロック入力を駆動する外部不連続シリアル・クロックが与えられます。この方式では、シリアル・クロック周波数はプロセッサの最大サイクル・レートである13.8 MHzに制限されます。

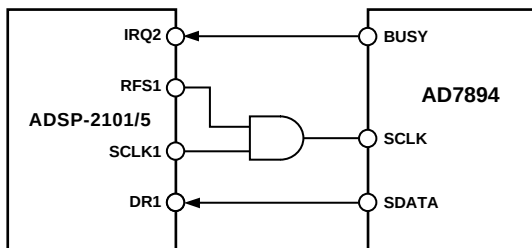


図8. AD7894とADSP-2101/5との間のインターフェース

AD7894とDSP56002/L002とのインターフェース

図9に、AD7894とDSP56002/L002 DSPプロセッサとの間のインターフェース回路を示します。DSP56002/L002は、ゲーティド・クロックによる通常モード非同期動作に設定され、SCKをゲーティド・クロック出力として16ビット・ワードを出力します。このモードでは、DSP56002/L002は16個のシリアル・クロック・パルスをシリアル読出し動作でAD7894に出力します。DSP56002/L002は、SCKの先頭の立下がりエッジで有効データがあると想定するため、インターフェースは図9に示すように、簡単な3線式になります。

AD7894のBUSYラインはDSP56002/L002のMODA/IRQA入力に接続され、変換の完了時に割込みが発生されます。これにより、読出し動作が変換完了後に行われることが保証されます。

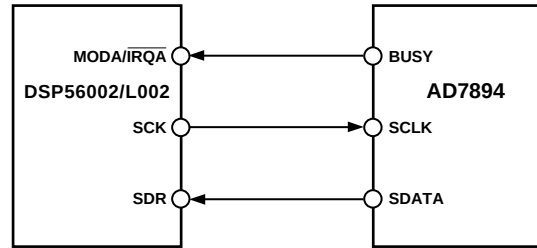


図9. AD7894とDSP56002/L002との間のインターフェース

AD7894の性能

直線性

AD7894の直線性は、内蔵14ビットD/Aコンバータにより決定されます。これはセグメント化されたD/ACで、14ビットの積分直線性と微分直線性にレーザー・トリムされています。

相対精度は $\pm 1/2 \text{ LSB (typ値)}$ で、DNL誤差は $\pm 1/3 \text{ LSB (typ値)}$ です。

ノイズ

A/Dコンバータのノイズは、DCアプリケーションではコードの不確定性として、ACアプリケーションではノイズフロア (例えば、FFT) として現れます。AD7894のようなサンプリングA/Dコンバータでは、アナログ入力に関するすべての情報が、DC $\sim 1/2$ サンプリング周波数のベースバンドの中に存在します。トラック/ホールドの入力帯域幅はナイキスト帯域幅を超えています。したがって、このような信号が含まれているアプリケーションでは、折り返し除去フィルタを使って、入力信号に含まれる $f_s/2$ を超える不要な信号を除去する必要があります。図10に、AD7894を使ったDC入力の8192回の変換のヒストグラムを示します。アナログ入力は、コード遷移の中央に設定されました。殆どのコードが1つの出力バイナリ内に収まり、A/DCのノイズ性能は非常に優れていることを示しています。

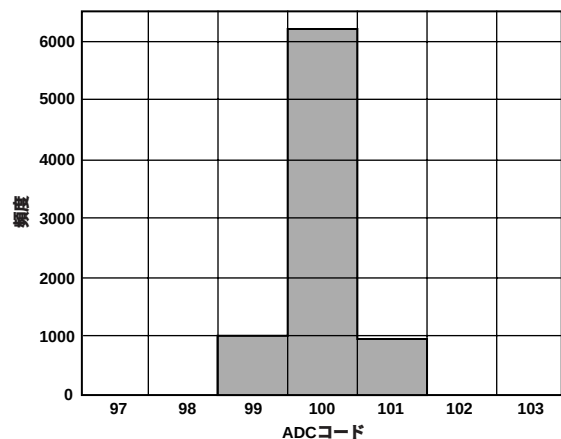


図10. DC入力の8192回の変換のヒストグラム

ダイナミック性能 (モード1の場合)

5 μ sの変換時間により、AD7894は広帯域幅信号処理アプリケーションに最適です。これらのアプリケーションでは、入力信号のスペクトル成分に対するA/DCの影響に関する情報が必要とされます。信号対(ノイズ+歪み)比、合計高調波歪み、ピーク高調波またはスプリアス・ノイズ、相互変調歪みはすべて規定されています。図11に、160 kHzサンプリング・レートで動作するAD7894-10により量子化した10 kHz、 ± 10 V入力のための代表的なFFTプロットを示します。信号対(ノイズ+歪み)比は80.24 dBで、合計高調波歪みは-96.35 dBです。

信号対(ノイズ+歪み)比の式は、分解能またはコンバータのビット数に関係しています(用語の節参照)。この式を次のように書き直すと、性能は有効ビット数(N)により表されます。

$$N = \frac{(SNR - 1.76)}{6.02}$$

ここで、SNRは信号対(ノイズ+歪み)比です。

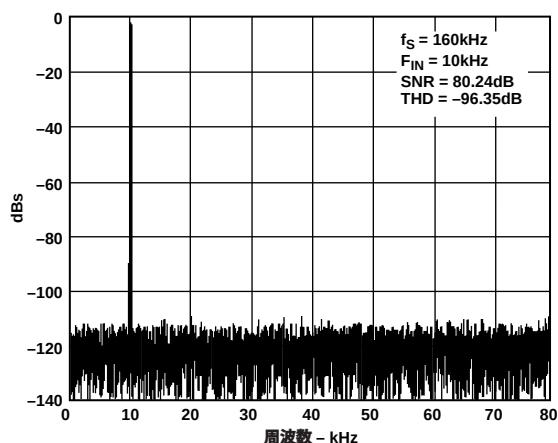


図11. AD7894のFFTプロット

デバイスの有効ビット数は、測定された信号対(ノイズ+歪み)比から計算することができます。図12に、DC $\sim f_{\text{SAMPLING}}/2$ でのAD7894の有効ビット数と周波数の関係を示します。サンプリング周波数は160 kHzです。このプロットは、AD7894が10 kHzの入力正弦波を有効ビット数13.00に変換することを示しています。この有効ビット数13.00は、信号対(ノイズ+歪み)比80.02 dBに相当します。

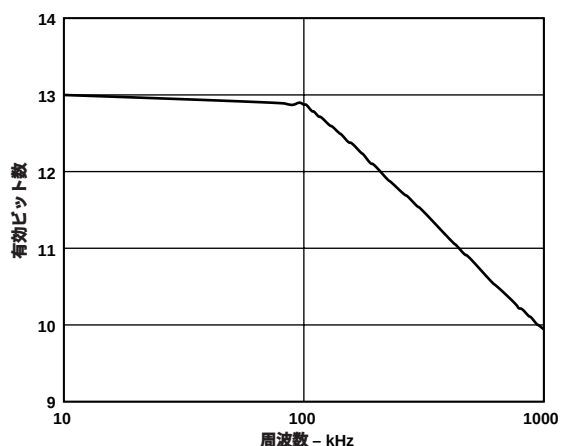


図12. 有効ビット数と周波数の関係

電源

自動パワーダウン・モードでは、デバイスは160 kHzより遙かに低いサンプル・レートで動作することができます。この場合、消費電力は削減され、サンプル・レートに依存します。図13に、自動パワーダウン・モードにおける消費電力とサンプリング・レート (1 Hz $\sim$ 100 kHz) の関係を示します。条件は、5 V電源、+25 $^{\circ}$ Cです。SCLKピンはLowに維持され、デバイスからのデータ読出しはありません。

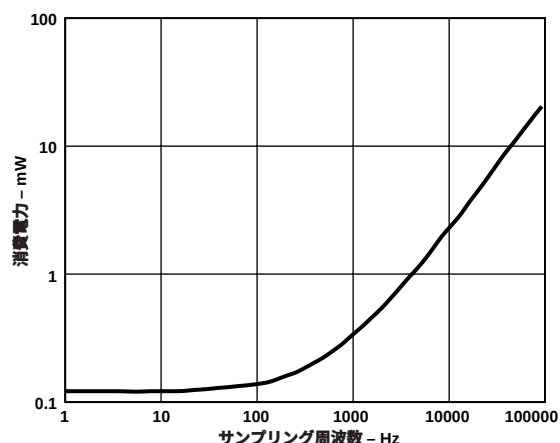


図13. 自動パワーダウン・モードにおける消費電力とサンプリング・レートの関係

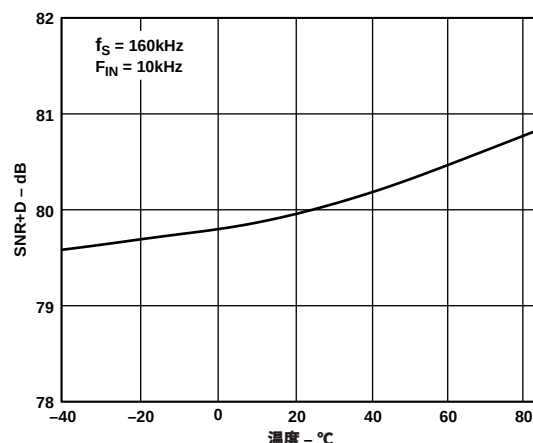


図14. SNR+Dと温度の関係

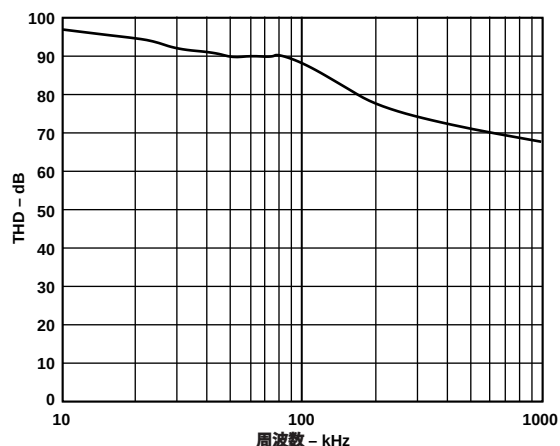
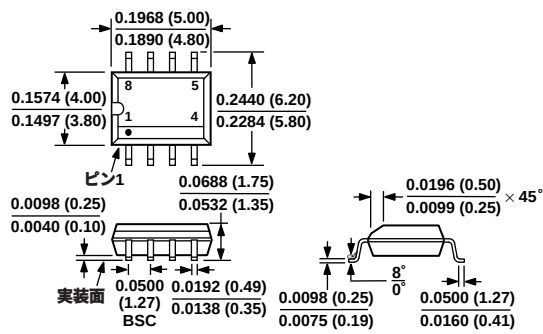


図15. THDと周波数の関係

外形寸法
サイズはインチと (mm) で示します。

8ピン小型ボディ SOIC
(SO-8)



D2127-2.7-11/99.1A

PRINTED IN JAPAN

